

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-292886

(43)Date of publication of application : 30.11.1988

(51)Int.Cl.

H04N 7/13

H04N 7/00

(21)Application number : 62-127127

(71)Applicant : NIPPON HOSO KYOKAI <NHK>  
TOSHIBA CORP

(22)Date of filing : 26.05.1987

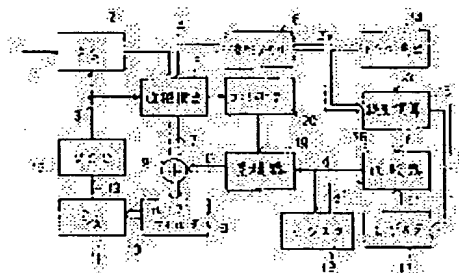
(72)Inventor : NINOMIYA YUICHI  
IZUMI YOSHINORI  
GOSHI SEIICHI  
SAKURAI MASARU

## (54) CLOCK PHASE CONTROL CIRCUIT

## (57)Abstract:

**PURPOSE:** To minimize the ringing quantity of a receiving signal by using a referring signal to detect waveform distortion information inserted into a transmitting signal, detecting the ringing quantity of a receiving signal and executing the loop control to change the clock phase.

**CONSTITUTION:** An input television signal 1 is sampled by using a sampling clock 3 by an A/D converter 2, digitized, comes to be a digital television signal 4 and is guided to a phase detecting device 5 and a waveform memory 6. For the sampling clock 3, a phase synchronization is executed to a horizontal synchronizing signal by a PLL control system. The waveform memory 6, to which the signal 4 is supplied, successively updates and stores a sample value (xk) of the referring signal included in a vertical synchronizing signal each time a referring signal pulse reaches. An error computing element 15 obtains the absolute value sum or the two squares value sum of an (xy) ringing quantity and outputs it as an error signal E. Two error signals E outputted successively are compared, and a phase control signal, in which the value is increased and decreased in accordance with the increasing decreasing condition of the error signal E detected by the comparing result, is added to a PLL control system by an adder 8 and the phase control of the sampling clock is executed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-292886

⑬ Int. Cl.<sup>4</sup>

H 04 N 7/13  
7/00

識別記号

庁内整理番号

Z-7060-5C  
A-7060-5C

⑭ 公開 昭和63年(1988)11月30日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 クロック位相制御回路

⑯ 特 願 昭62-127127

⑰ 出 願 昭62(1987)5月26日

⑱ 発 明 者 二 宮 佑 一 東京都世田谷区砧1丁目10番11号 日本放送協会放送技術  
研究所内  
⑲ 発 明 者 和 泉 吉 則 東京都世田谷区砧1丁目10番11号 日本放送協会放送技術  
研究所内  
⑳ 発 明 者 合 志 清 一 東京都世田谷区砧1丁目10番11号 日本放送協会放送技術  
研究所内  
㉑ 発 明 者 桜 井 優 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜  
事業所家電技術研究所内  
㉒ 出 願 人 日 本 放 送 協 会 東京都渋谷区神南2丁目2番1号  
㉓ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地  
㉔ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

クロック位相制御回路

2. 特許請求の範囲

(1) 垂直同期区間に波形道情報を検出するための参照信号が挿入されておりサンプル値伝送されるアナログテレビジョン信号を入力するA/D変換器と、このA/D変換器によりデジタル化されたテレビジョン信号を入力し前記A/D変換器に位相制御されたサンプリングクロックを供給するPLL制御系と、前記参照信号をそれが到来する度に順次更新記憶する波形メモリ、及びこの波形メモリが供給する前記参照信号に基づく絶対値和あるいは2乗値和を誤差信号として算出する誤差演算手段、この誤差演算手段が順次出力する前記誤差信号同志を比較する比較手段、この比較手段の比較結果により検出される前記誤差信号の増減状態に応じてその値が増減される位相制御信号を出力する制御信号発生手段を有する自動制御系とを具備し、前記PLL制御系に加えて前記位

相制御信号により前記サンプリングクロックの位相制御を行なうことを特徴とするクロック位相制御回路。

(2) 参照信号はパルス波形であり、誤差演算手段は前記パルス波形のサンプル値を $x_k$

( $|k| \leq M$ 、 $x_0$  はピーク値)としたとき、

$$EA1 = \sum |x_k|, EA2 = \sum |x_k - x_{k-1}|$$

$$EM1 = \sum x_k^2, EM2 = \sum (x_k - x_{k-1})^2$$

のいずれかの演算を実行し、これを誤差信号として出力する誤差演算器からなることを特徴とする特許請求の範囲第1項記載のクロック位相制御回路。

(3) 参照信号は「1」、「0」の信号列 $a_k$

( $0 \leq k \leq M$ )であり、誤差演算手段は、前記信号列 $a_k$ の2値判定を行なう判定回路と、この判定回路の判定出力 $S_k$ と前記信号列 $a_k$ との差分 $e_k$ を求める差分器と、前記差分 $e_k$ を入力し、

$$EA1 = \sum |e_k|, EA2 = \sum (e_k)^2$$

のいずれかの演算を実行し、これを誤差信号として出力する誤差演算器からなることを特徴とする

特許請求の範囲第1項記載のクロック位相制御回路。

### 3. 発明の詳細な説明

#### 〔発明の目的〕

##### （産業上の利用分野）

本発明は、サブサンプルされたテレビジョン信号を受信・復調するテレビジョン受信装置に適用されるクロック位相制御回路に関する。

##### （従来の技術）

高精細なテレビジョン信号を、帯域が制限された伝送路においても送信可能とする一方式にサブサンプル伝送方式（電子通信学会論文誌、Vol. J88-D, No. 4 P. 847, 1985）がある。

サブサンプル伝送方式では、アナログテレビジョン信号を一定のサブサンプリングクロックでサンプリングし、得られたサンプル値を間引いて送信する。受信側では送信側と同じサンプリングクロックを再生し、受信信号をリサンプリングして再生テレビジョン信号を得ている。

上記リサンプリングに際して用いられるクロックは、

画像は著しいリンギング妨害を被る。

従来は上記リンギングが最少となるように手動にてクロック位相を調整していた。

##### （発明が解決しようとする問題点）

上述した従来の手動によるリンギング回避は、伝送路の特性変動があるとこれを適正に行なうことが著しく困難となる。すなわち、地上放送においては、ゴースト障害により伝送路特性が時々刻々に変動してしまう場合には、手動制御は不可能となるし、ケーブル伝送を考えた場合には、伝送路（ケーブル）反射により、リンギングの発生状態が変化するため、やはり手動調整が難しい。さらに上記リンギングの発生原因である位相ずれは、受信装置を製造する際の回路ばらつきによっても生じるため、製品出荷時にも装置の特性を揃えるべく手動調整が要求される。この調整は装置毎に行なう必要があるため、非常に煩わしいものである。

本発明は上述の従来の問題点を解決するために成されたもので、リサンプリングクロックの位相

テレビジョン信号の水平同期信号に同期してPLL回路により再生される。ところが、前記PLL回路は、水平同期信号の広域スペクトル成分が少ないことによる等価的な入力S/Nの劣化や、微小な波形歪等によって、その定常誤差を完全には除去できない。このため、必ずしも最適なサンプリング位相のクロックが再生されとは限らなかった。サンプル位相がずれると第4図に示すように、ひとつのパルスを伝送したときに、そのパルスのピーク点以外のサンプル点においてリンギングが現われる。

ところで、サンプル値伝送を適正に行なうための必要条件に、パルスのリンギングがピーク点以外には現われないという条件がある。これを満たすため、サブサンプル伝送方式ではマッチングフィルタによりパルス波形を正確に行なっている。しかし、このパルス整形を正しく行なったとしても上述の如くりサンプリングクロックの位相がずれると、サンプル値の情報間に干渉が生じる。この干渉は隣接するサンプル点間に波及的に広がり、

調整を自動的に行ない得るクロック位相制御回路を提供することを目的とする。

#### 〔発明の構成〕

##### （問題点を解決するための手段）

本発明に係るクロック位相制御回路は、送信信号中に挿入される波形歪情報を検出するための参照信号を用いて受信信号のリンギング量を検出する手段を備え、検出されたリンギング量を最少とするようにクロック位相を変化させるべくループ制御を行なうものである。

##### （作用）

上記構成により、受信信号のリンギング量は最少になるように自動制御される。これにより、画像に現われるリンギング妨害を極力低減することができる。

##### （実施例）

以下、図面を用いて本発明の一実施例を説明する。第1図に本発明の第1の実施例を示す。この実施例においては、送信信号はゴースト障害等の波形歪情報を検出するための参照信号としてパ

ルス波形がその垂直同期信号中に挿入されているものを想定している。

入力テレビジョン信号(1)は、A/D変換器(2)によってサンプリングクロック(3)を用いてサンプリングされ、またデジタル化される。前記A/D変換器(2)が出力するデジタルテレビジョン信号(4)は、位相検出器(5)並びに波形メモリ(6)に導かれる。位相検出器(5)は、テレビジョン信号(4)中の水平同期信号と前サンプリングクロック(3)との位相差を検出する。検出された位相差出力(7)は、加算器(8)を介してループフィルタ(9)に供給され、積分される。ループフィルタ(9)の積分出力(10)は、D/A変換器(11)により直流アナログ電圧に変換され、次段の電圧制御発振器(VCO)(12)に発振制御電圧(13)として供給される。前記VCO(12)は、制御電圧(13)の値に従い、その出力である前記サンプリングクロック(3)の位相を変化させる。以上のPLL制御系により、サンプリングクロック

(3)は水平同期信号に位相同期したものとなるが、リンギングが最少となるようには未だその位相は制御されていない。

以下、本発明の要部である自動制御系について説明する。前記デジタルテレビジョン信号(4)が供給される波形メモリ(6)は、テレビジョン信号の垂直同期信号中に含まれるパルスのサンプル値 $x_k$  ( $k = -M, \dots, -1, 0, 1, \dots, M$ )をパルス到来毎に順次更新して記憶する。上記パルスは第4図に示すように、もしサンプル位相が適正であれば $x_0 = 1$ 、 $x_k = 0$  ( $k \neq 0$ )となるような波形となる。

前記波形メモリ(6)が出力する前記パルスのサンプル値 $x_k$ は、ピーク検出器(14)及び誤差演算器(15)に導かれる。ピーク検出器(15)は前記最大値 $x_0$ を入力し、前記サンプル値 $x_k$ よりこの値を除くサンプル値 $x_k$  ( $k \neq 0$ )を用いて、以下の絶対値和のいずれかを求める。

$$EA1 = \sum |x_k|, \quad EA2 = \sum |x_k - x_{k-1}| \\ EN1 = \sum x_k^2, \quad EN2 = \sum (x_k - x_{k-1})^2$$

上記 $EA1$ 、 $EA2$ はリンギング量の絶対値和、 $EN1$ 、 $EN2$ はリンギングの2乗値和に相当し、いずれもリンギング量を示す指標となる。特に $EA2$ 、 $EN2$ はリンギング成分の差分を演算しているため、直流分に影響されない検出量となっており好適である。以下、 $EA1$ 、 $EA2$ 、 $EN1$ 、 $EN2$ を総称して誤差信号 $E$ とする。

前記誤差演算器(15)の出力する誤差信号 $E$ は、比較器(16)、レジスタ(17)に供給される。レジスタ(17)は供給される誤差信号 $E$ に対して自身が記憶する以前の誤差信号 $E'$ を上記比較器(16)に供給する。比較器(16)は両誤差信号 $E$ 、 $E'$ の値を比較し、また後述する修正値 $d'$ の極性に基づき修正値 $d$ を決定し、累算器(18)並びにレジスタ(19)に出力する。上記修正値 $d'$ はこのレジスタ(19)が出力する自身が記憶した以前の修正値である。上記修正値 $d$ の値は以下のように決定される。

$$+ \Delta : (E < E' \text{ かつ } d' > 0) \text{ または } \\ (E > E' \text{ かつ } d' < 0)$$

$$d = 0 : E = E'$$

$$- \Delta : (E < E' \text{ かつ } d' < 0) \text{ または } \\ (E > E' \text{ かつ } d' > 0)$$

ここで $\Delta$ は固定された微小量である。上記より明らかなように修正値 $d$ の値は、 $E < E'$ すなわち制御の結果、リンギング量が減少していくときには、従前の制御方向を維持するべく従前と同一の極性をとりつつ $\Delta$ だけ変化する。また $E > E'$ すなわち制御結果が悪化する方向にある場合には、従前と異なる極性をとって逆方向に $\Delta$ だけ変化する。

このような修正値 $d$ は、パルスが到来する度に累算器(18)により累算され、累算値 $D$ は前述の加算器(8)において位相差出力(7)に重畳される。この結果、先に説明したPLL制御系においてVCO(12)の出力クロック(3)の位相には上記累算値 $D$ に比例したオフセットが生じることになる。この位相オフセットの変化に応じ

て誤差信号Eも変化するため、結局ループ制御が働き累積値Dは入力ノイズによって±Δの振動はするものの、最終的には誤差信号Eを最小化する値に落ち着き、平衡状態に達する。

なお、コントローラ(20)は位相検出器(5)の状態を監視しており、PLL制御が定常状態に至ったことを確認してから上記累積器(18)の動作を開始させるものである。したがって、クロックがPLLに引き込まれていない間は、累積器(18)の動作は停止しており、出力は0にリセットされている。

次いで第2図に本発明の第2の実施例を示す。第1の実施例とは、累積器(18)の出力する累積値DのPLL制御系への供給の仕方が異なるのみであり、他の構成は同一である。

本実施例では前記累積値DはD/A変換器(21)に一旦供給されて直流電圧に変換された後に、移相器(22)に導かれる。この移相器(22)は、VCO(12)の出力するサンプリングクロック(3)の位相をアナログ的に変化させる機能

号(25)の垂直同期区間に送られてくる信号列 $a_k$  ( $k=1, 2, \dots, N$ )を記憶する。次いで波形メモリ(24)の出力する信号列 $a_k$ は、判定回路(26)Nに導びかれ2値判定される。2値判定出力 $S_k$ は、前記波形メモリ(24)が出力する信号列 $a_k$ と共に差分器(27)に供給され、両者の差分 $e_k$ が演算される。この差分 $e_k$ がリンギング量に対応している。誤差演算器(28)は前記差分 $e_k$ を入力し、誤差Eとして下記の絶対値和EA、あるいは2乗値和ENを演算出力する。

$$EA = \sum |e_k|, \quad EN = \sum (e_k)^2$$

以下、本実施例におけるクロック位相の自動制御は、第1図に示す第1の実施例と同様に行なわれるので、説明は省略する。

#### [発明の効果]

以上説明してきたように本発明によれば、サブサンプルされたテレビジョン信号を受信・復調する際に、リサンプリング位相ずれに起因して発生していたリンギングを自動的に最少とすることができる。これにより従来、行なうことが不可能あ

るを有する。よって、前記位相器(22)の出力する位相制御されたクロック(23)をA/D変換器(2)に供給することにより、先の第1の実施例と同様にループ制御が果され、リンギングは最小化される。

第3の実施例を第3図に示す。この実施例では、波形歪情報を検出するための参照信号として、サンプルレートで送られてくる「1」、「0」の信号列 $a_k$ を用いることを想定している。第5図に示すように伝送路がナイキストの条件を満たしていれば、2値の信号はサンプル点において「1」、「0」のいずれかの値をとる。そしてサンプル位相がずれると、上記サンプル点でのサンプル値は「1」または「0」を中心に上下にばらつく。このばらつき量は、リンギング量と対応したものである。よって、参照信号として前述のパルスに代え、上述の信号列 $a_k$ を用いてもリンギング量の検出を支障なく行なえるものである。

第3図に示す実施例においては、波形メモリ(24)はデジタル化された受信テレビジョン信

号は困難であった手動調整によらず自動的に位相ずれを解消することができ、再生画像は常に良好な状態を保つことができる。

#### 4. 図面の簡単な説明

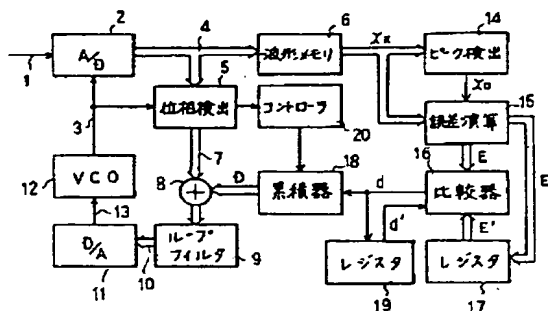
第1図、第2図、第3図は各々本発明のクロック位相制御回路の第1、第2、第3の実施例を示す回路ブロック図、第4図はサンプリングの位相ずれを説明するためのパルス波形図、第5図は2値伝送信号の波形図である。

- (1) … テレビジョン信号、
- (2) … A/D変換器、
- (3) … サンプリングクロック、
- (4) … デジタルテレビジョン信号、
- (6)、(24) … 波形メモリ、
- (14) … ピーク検出器、
- (15)、(28) … 誤差演算器、
- (16) … 比較器、
- (17)、(19) … レジスタ、
- (18) … 累積器、(21) … D/A変換器、

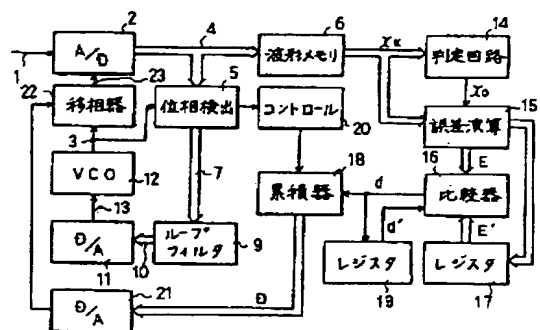
(22) ... 移相器、(26) ... 判定回路。

代理人 弁理士 則近 憲祐

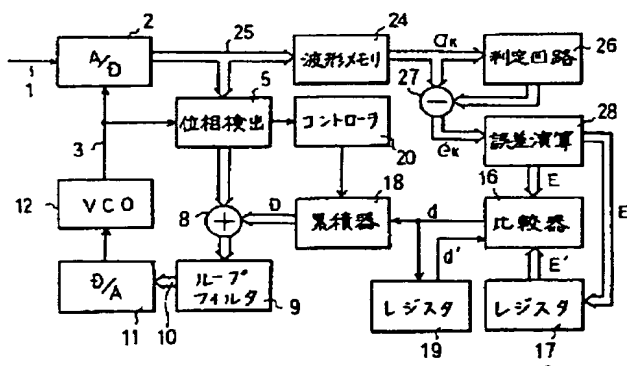
同松山允之



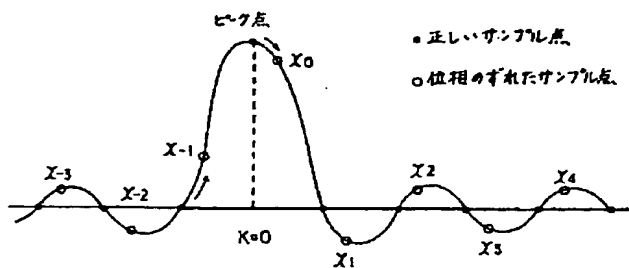
第 1 図



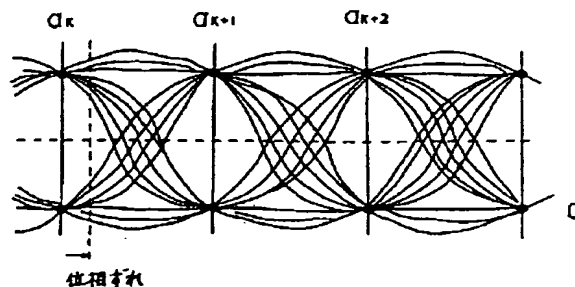
第 2 図



第 3 図



第 4 図



第 5 図